

BEST AVAILABLE COPY

Cx

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-108310

(43)Date of publication of application : 10.04.2002

(51)Int.Cl.

G09G 3/36  
 G02F 1/133  
 G02F 1/1343  
 G09F 9/30  
 G09G 3/20

(21)Application number : 2001-086340

(71)Applicant : SHARP CORP

(22)Date of filing : 23.03.2001

(72)Inventor : TAKEUCHI MASANORI  
 MITSUMOTO KAZUYORI  
 NAGASHIMA NOBUYOSHI  
 KONDO NAOFUMI

(30)Priority

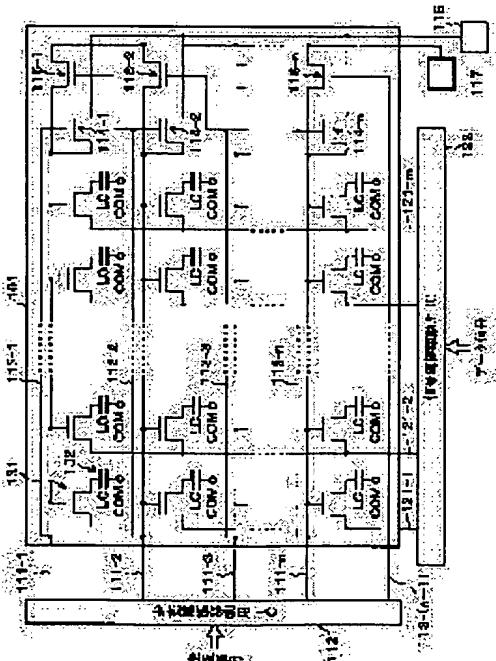
Priority number : 2000229844 Priority date : 28.07.2000 Priority country : JP

## (54) IMAGE DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image display device which can suppress waveform rounding both when a driving voltage waveform leads and when trails with a small cost increase and prevent error writing without shortening an effective writing time.

**SOLUTION:** A switching element 114 for charging and a switching element 116 for discharging are provided in parallel to the terminal side of each scanning wiring 111, the other end of a scanning auxiliary wire 113 connected to a scanning wiring 111 of the same stage is connected to the gate electrode of each of switching elements 114... for charging, and the other end of a scanning auxiliary wiring 113 connected to a scanning wiring 111 of a next stage is connected to the gate electrode of each switching element 116 for discharging. Further, the scanning wiring 111 and a nonselection-time scanning driving voltage power source 115 are connected to the source/drain electrode of each switching element 114 for charging and a scanning



wiring and a nonselection-time scanning driving voltage power source 117 are connected to the source/drain electrode of each switching element 116 for discharging.

---

#### LEGAL STATUS

[Date of request for examination] 07.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-108310  
(P2002-108310A)

(43)公開日 平成14年4月10日 (2002.4.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 2 H 0 9 3
	5 5 0		5 5 0 5 C 0 0 6
	1/1343		1/1343 5 C 0 8 0
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 5 C 0 9 4

審査請求 未請求 請求項の数11 O.L (全20頁) 最終頁に続く

(21)出願番号 特願2001-86340(P2001-86340)  
 (22)出願日 平成13年3月23日(2001.3.23)  
 (31)優先権主張番号 特願2000-229844(P2000-229844)  
 (32)優先日 平成12年7月28日(2000.7.28)  
 (33)優先権主張国 日本(JP)

(71)出願人 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (72)発明者 武内 正典  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内  
 (72)発明者 光本 一順  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内  
 (74)代理人 100080034  
 弁理士 原 謙三

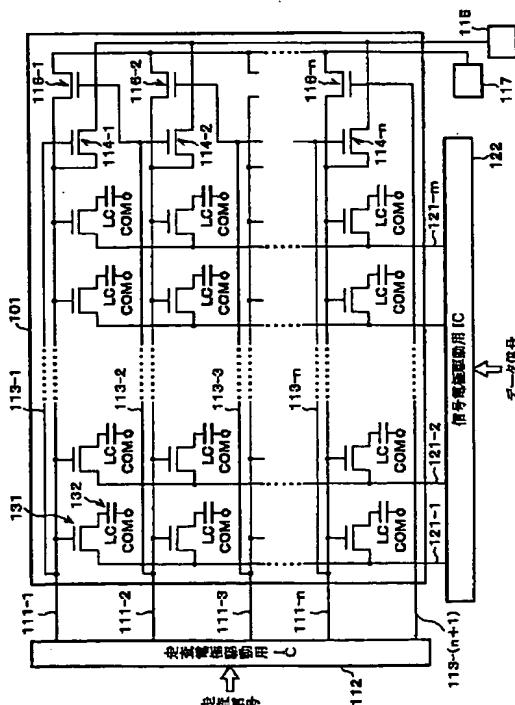
最終頁に続く

## (54)【発明の名称】 画像表示装置

## (57)【要約】

【課題】 少ないコストアップで、且つ、駆動電圧波形の立ち上がり時および立ち下がり時の双方の波形鋸歯を抑制し、実効書き込み時間を減少させることなく、エラー書き込みを防止できる画像表示装置を提供する。

【解決手段】 各走査配線111の終端側に充電用スイッチング素子114および放電用スイッチング素子116を並列に設け、各充電用スイッチング素子114…のゲート電極には同一段の走査配線111と接続された走査補助配線113の他端を接続し、各放電用スイッチング素子116のゲート電極には次段の走査配線111と接続された走査補助配線113の他端を接続する。また、各充電用スイッチング素子114のソース／ドレイン電極には走査配線111と非選択時走査駆動電圧電源115とを接続し、各放電用スイッチング素子116のソース／ドレイン電極には走査配線と非選択時走査駆動電圧電源117とを接続する。



【特許請求の範囲】

【請求項 1】複数の走査配線と複数の信号配線とが互いに直交する方向に配設され、上記両配線の各交差部に画素用スイッチング素子を介して表示画素が接続され、これらの表示画素がマトリクス状に設けられたアクティブマトリクス型の画像表示装置において、

上記各走査配線毎に、走査配線と比較して信号遅延が小さく、上記各走査配線の信号印加側から分岐して該走査配線に接続される走査補助配線が備えられると共に、

上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線と同一段の走査補助配線が接続され、同一段の走査信号によってON/OFF制御される充電用スイッチング素子と、

上記各充電用スイッチング素子を介して各走査配線の終端側に接続され、充電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に選択時走査駆動電圧を与える選択時走査駆動電圧電源とからなる構成、

および、

上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線の次段の走査補助配線が接続され、次段の走査信号によってON/OFF制御される放電用スイッチング素子と、

上記各放電用スイッチング素子を介して各走査配線の終端側に接続され、放電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に非選択時走査駆動電圧を与える非選択時走査駆動電圧電源とからなる構成の少なくとも一方の構成が備えられていることを特徴とする画像表示装置。

【請求項 2】上記各充電用スイッチング素子および/または各放電用スイッチング素子がTFTで形成され、上記充電用スイッチング素子のゲート電極が同一段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と選択時走査駆動電圧電源とに接続され、上記放電用スイッチング素子のゲート電極が次段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と非選択時走査駆動電圧電源とに接続されていることを特徴とする請求項1に記載の画像表示装置。

【請求項 3】上記各充電用スイッチング素子および/または各放電用スイッチング素子のTFTの半導体層が多結晶シリコンからなることを特徴とする請求項2に記載の画像表示装置。

【請求項 4】上記各充電用スイッチング素子および/または各放電用スイッチング素子のTFTの半導体層がアモルファスシリコンからなることを特徴とする請求項2に記載の画像表示装置。

【請求項 5】上記各充電用スイッチング素子および/ま

たは各放電用スイッチング素子のそれぞれが、並列に配置された複数のTFTにて構成されていることを特徴とする請求項2に記載の画像表示装置。

【請求項 6】上記各充電用スイッチング素子および/または各放電用スイッチング素子がMOSトランジスタで形成され、

上記充電用スイッチング素子のゲート電極が同一段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と選択時走査駆動電圧電源とに接続され、上記放電用スイッチング素子のゲート電極が次段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と非選択時走査駆動電圧電源とに接続されていると共に、

上記充電用スイッチング素子および/または各放電用スイッチング素子が表示パネルとは別のMOSトランジスタアレイチップに設けられており、該MOSトランジスタアレイチップが、各走査配線に走査信号を供給する走査電極駆動用回路の接続側と反対側で上記表示パネルに接続されていることを特徴とする請求項1に記載の画像表示装置。

【請求項 7】上記各充電用スイッチング素子および/または各放電用スイッチング素子のそれぞれが、並列に配置された複数のMOSトランジスタにて構成されていることを特徴とする請求項6に記載の画像表示装置。

【請求項 8】上記選択時走査駆動電圧電源および非選択時走査駆動電圧電源の少なくとも一方が、各走査配線に走査信号を供給する走査電極駆動用回路内に備えられていることを特徴とする請求項1ないし7の何れかに記載の画像表示装置。

【請求項 9】上記放電用スイッチング素子の制御端子は、次段の走査補助配線に接続されることを特徴とする請求項1ないし8の何れかに記載の画像表示装置。

【請求項 10】複数の走査配線と複数の信号配線とが互いに直交する方向に配設され、上記両配線の各交差部に画素用スイッチング素子を介して表示画素が接続され、これらの表示画素がマトリクス状に設けられたアクティブマトリクス型の画像表示装置において、

上記各走査配線毎に、

走査配線と比較して信号遅延が小さく、上記各走査配線の信号印加側から分岐されており、かつ、信号印加側と反対側の端部で分岐元の走査配線と接続されている分岐走査配線が備えられており、

上記分岐走査配線は、走査配線の形成されている基板上で、該分岐走査配線が接続されている走査配線と隣接して配設されていることを特徴とする画像表示装置。

【請求項 11】上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線の次段の分岐走査配線が接続され、次段の走査信号によってON/OFF制御される放電用スイッチング素子と、

上記各放電用スイッチング素子を介して各走査配線の終端側に接続され、放電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に非選択時走査駆動電圧を与える非選択時走査駆動電圧電源とが備えられていることを特徴とする請求項10に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示やEL(Electro-Luminescence)表示等を行う表示装置に関し、特にアクティブマトリクス駆動を用いた表示装置に関するものである。

【0002】

【従来の技術】液晶表示装置の構成および動作を示す概略断面図を図7(a)、(b)に示す。

【0003】上記液晶表示装置の構成としては、図7(a)に示すように、ガラス基板1001および1011のそれぞれの片面に電極1002および1012を形成し、さらにその上に配向材料を印刷して配向膜1003および1013を形成した後、配向膜1003側には紙面に平行方向に、配向膜1013側には紙面に垂直方向にラビングを施す。そして、電極1002および1012側を内側にした2枚のガラス基板1001および1011のサンドイッチ構造とし、その間にTN(Twisted Nematic)液晶材料を充填して液晶層1021を形成する。この時、上記液晶層1021における液晶分子1022の長軸は、上記各ガラス基板1001および1011の表面近傍でラビング方向に揃うように配向し、基板間では長軸方向が約90°回転するように充填される。また、ガラス基板1001および1011の外側には、偏光板1004および1014がその透過軸が互いに直交するように貼り付けられている。

【0004】ここで、上記図7(a)に示す液晶表示装置は、液晶層1021に電圧が加わらない状態(駆動電圧OFFの状態)を示しており、例えば、上記液晶表示装置の下方より入射された光は偏光板1004にて紙面に平行な偏光成分のみが透過し、液晶層1021にて偏光方向を約90°回転された後、偏光板1014にて紙面に垂直な偏光軸を持つ光として出射される。このように、図7(a)に示す液晶表示装置では、光が透過することにより明表示が実現される。

【0005】一方、液晶層1021の両端に電圧が加わるように電極1002および1012に電位を供給すると、液晶分子1022は、図7(b)に示すように、電界方向に長軸が揃うよう回転する。この時、偏光板1004より入射される紙面に平行な偏光成分を持つ光は、液晶層1021中にて偏光軸が回転する事がないので、紙面に垂直な方向に偏光軸を持つ偏光板1014に入射しても該偏光板1014を透過することができない。このため、図7(b)に示す液晶表示装置では、暗

表示が実現される。

【0006】図8は、図7の構成原理を用いた単純マトリクス型液晶表示装置の概略構成を示す平面図である。

【0007】上記単純マトリクス型液晶表示装置では、液晶層を挟む2枚のガラス基板のそれぞれに、走査配線1031-1～1031-n、信号配線1041-1～1041-mが形成されている。上記走査配線1031-1～1031-nおよび上記信号配線1041-1～1041-mは、互いに直交するストライプ状の微細透明配線として形成されている。また、上記走査配線1031-1～1031-nおよび上記信号配線1041-1～1041-mは走査電極駆動用ICおよび信号電極駆動用ICによってそれぞれ駆動され、上記配線の各交点に形成される画素に印加される電圧を制御することにより、液晶層における液晶分子の配向状態を各画素毎に制御でき、表示を行うことができる。

【0008】上記単純マトリクス型液晶表示装置の欠点は、走査線数の増加に伴って各交点での液晶にかかる実効電圧が先端に行くにつれて下がることにより表示画素のコントラストが低下するため、精細度の高い液晶表示装置には不向きであるという点と、応答速度が遅いという点にある。

【0009】上記単純マトリクス型液晶表示装置の問題点を解決するものとしては、各画素にスイッチング素子を持つアクティブマトリクス型液晶表示装置がある。図9は従来の技術による一般的なアクティブマトリクス型液晶表示装置の構成を示す。また、図10(a)、(b)はアクティブマトリクス型(逆スタガ型)液晶表示装置における画素構造を示す。

【0010】図9に示す上記アクティブマトリクス型液晶表示装置は、スイッチング素子としてTFT(Thin Film Transistor)1051を用いた場合を例示している。上記アクティブマトリクス型液晶表示装置では、液晶層を挟持する2枚のガラス基板の一方に、走査配線1061-1～1061-nと信号配線1071-1～1071-mとが格子状に配置され、各々と接続する走査電極と信号電極との交点に画素用スイッチング素子となるTFT1051を介して画素1052が接続されている。また、走査配線1061-1～1061-nと信号配線1071-1～1071-mとには、それぞれ走査電極駆動用IC1062と信号電極駆動用IC1072とが接続されている。

【0011】上記アクティブマトリクス型液晶表示装置における画素構成は、図10(a)、(b)に示すように、TFT1051…、走査配線1061…、および信号配線1071…が設けられたTFT基板1081と、対向電極1092が設けられたCF基板1091とが間隙をおいて配設され、TFT基板1081側の画素電極1082とCF基板1091側の対向電極1092との間に液晶層1101が封止されて形成されている。

【0012】上記TFT基板1081では、ガラス基板1083の片側面において偏光板1084が形成され、他方の面に走査電極（ゲート電極）1063を含む走査配線1061、絶縁膜層1085、半導体1086、信号配線1071および画素電極1082、配向膜1087が順次形成されている。

【0013】一方、上記CF基板1091では、ガラス基板1093の片側面において偏光板1094が形成され、他方の面にR/G/B/Bkの色版が積層されたカラーフィルタ層1095、対向電極1092、配向膜1096が順次形成されている。

【0014】次に、上記アクティブマトリクス型液晶表示装置の動作について図9を参照して以下に説明する。

【0015】先ず、走査電極駆動用IC1062より1ライン目の走査配線1061-1にON電圧が出力される（この時、他の走査配線にはOFF電圧が出力される）と、該走査配線1061-1を経由して1ライン目の走査電極1063…につながるすべてのTFT1051…がONする。そして、1ライン目の走査ラインに対応するデータ信号が、信号電極駆動用IC1072から各信号配線1071…に与えられる。この時、各信号配線1071…の信号電極からTFT1051を通して画素電極1082に至る回路が導通状態となっているので、1ライン目の走査配線1061-1につながる全ての画素電極1082…に信号電圧（データ信号）が加わり、該画素電極1082…に対応する画素1052…にデータが書き込まれる。その後、1ライン目の走査配線1061-1に対する走査電極駆動用IC1062の出力がOFF電圧となって、該走査配線1061-1につながるTFT1051…がOFFする。これにより、各信号配線1071…の信号電極と画素電極1082…とが非導通状態となって画素1052…への書き込みが終了する。

【0016】1ライン目の走査配線1061-1への走査出力がOFF電圧となると同時に、引き続き走査電極駆動用IC1062から2ライン目の走査配線1061-2にON電圧が出力され、この操作を最終ラインまで繰り返して行うことで1画面の駆動が終了する。

【0017】上述のようなアクティブマトリクス型液晶表示装置の一般的な駆動では、走査電極1063の持つ抵抗および寄生容量の影響により、図11に示す走査電圧波形において、各走査配線1061…の入力端側（走査電極駆動用ICに近い側）では実線で示すような矩形波であるものが、終端側に近づくにつれて破線で示すような鈍った波形となる。

【0018】上記走査電圧波形において、このような波形鈍りが生ずることにより、走査配線の入力端側および終端側の両側におけるTFT1051のON/OFFタイミングがずれ、終端側においてTFT1051がOFFされるより早く、次段の信号電圧が加わることによっ

て画素に次段の信号が書き込まれてエラー書き込みが生じるといった問題があった。

【0019】このような問題に対して、従来では、配線幅の拡大、配線膜厚増大、低比抵抗配線材への変更などにより配線抵抗を低減する方法があるが、この方法では配線幅の拡大により、画素内に占める配線部分の面積比率が増大し、光が透過する開口部が減少するといった問題が生じている。

【0020】また、走査電圧のONタイミングに対して信号電圧のONタイミングをずらし、オフセット時間を充分とことにより走査電圧のOFFタイミングが遅れても書き込み信号が変化しないようにすることでエラー書き込みを防ぐ方法がある。

【0021】このような方法では、図11に示す信号電圧波形のように、例えば、走査配線のk番目のラインに対し、走査電圧のONタイミングと信号電圧のONタイミングとの間にオフセット時間が設けられる。このため、kラインに対する走査電圧がOFFされてから、該ラインの終端側に接続されるTFT1051が非導通となるまでに時間のずれが生じても、次段の(k+1)ラインの書き込みが開始されるまでにオフセット時間が設けられているため、kラインに属する画素1052に対して(k+1)ラインデータの書き込みは行われずエラー書き込みを回避できる。

【0022】さらに、走査駆動電圧を各走査配線の両側より入力することで、書き込みを容易にする技術が既に実用化されている。この公知技術では、図12に示すように、各走査配線1111…に対し、左右両側より2つの走査電極駆動用IC11112、11113の出力が接続されて駆動される。これにより、片側駆動時において発生した走査配線の終端側における走査電圧波形の鈍りを抑えている。

【0023】しかしながら、上述のように、2つの走査電極駆動用IC11112、11113を用いて同一の走査配線を駆動する場合、走査電極駆動用IC11112、11113の出力偏差によって左右入力電圧の不一致が生じ、IC間に貫通電流が生じることが懸念される。

【0024】上記技術における問題を解消する技術として、特開平1-213623号公報に開示された公知例がある。

【0025】上記特開平1-213623号公報の技術では、図13に示すように、走査電極駆動用IC1112の出力を2本に分け、うち1本を各走査配線1121…の一端に直接接続し、もう1本を、配線として表示パネル1131の上下端を経由させた後、接続基板1132を経由して各走査配線1121の他端に接続する構成となっている。これにより、同一ICの同一出力が各走査配線1121…の両端から加わることとなり、走査電極駆動用ICの出力偏差により発生する問題が解消される。

【0026】また、特開平10-253940号公報に記載の液晶表示装置は、図14に示すように、各走査配線1141…の終端側に放電用スイッチング素子1142…を設け、該放電用スイッチング素子1142のゲート電極に次段の走査配線1141を接続すると共に、該放電用スイッチング素子1142のソース／ドレイン電極には同段の走査配線1141と非選択時走査駆動電圧電源1151とが接続されている。

【0027】上記構成の液晶表示装置では、各走査配線1141が選択状態から非選択状態に切り替わった時、新たに選択状態となる次段の走査配線1141からON信号が放電用スイッチング素子1142に印加され、該放電用スイッチング素子1142がON状態となることで非選択となった走査配線1141に対し、その終端側から非選択時走査駆動電圧が印加されるため、走査配線1141の非選択時における走査駆動電圧波形の立ち下がりの鈍りを抑制できる。

#### 【0028】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、以下に示す問題がある。

【0029】先ず、図11に示すように、走査電圧のONタイミングに対して信号電圧のONタイミングをずらす方法では、信号電圧入力においてオフセットをとるため、1ラインに割り当てられた走査時間よりも実際の書込時間（実効書込時間）が減少する。これにより、終端側のTFT1051が書込時間内に書込電圧に達することなくOFFしたままで充電不足のまま書込みが終了してしまうといった問題がある。また、解像度が高く書込時間の短い表示装置においては十分なオフセット時間がとれず、エラー書込みと書込み不足とを同時に防ぐことができずに表示品位が低下するといった問題も生じる。

【0030】また、上記図12の方法では走査電極駆動用ICが片側駆動を行う場合の倍必要となり、また、特開平1-213623号公報の方法では走査信号の引回し用の走査配線と接続基板とが増加する。したがって、いずれの方法でも部品点数の増加と組立作業時間が増加することによるコストアップが問題となる。

【0031】また、上記特開平10-253940号公報に記載の液晶表示装置では、走査駆動電圧波形の立ち下がりの鈍りを抑制することでエラー書込みは回避できるものの、立ち上がりの鈍りを抑制することについては考慮されていないため、画素用スイッチング素子のON時の立ち上がりが遅れて、実効書込時間が減少し、表示画素の充電不足が生じることは回避できない。

【0032】さらに、上記特開平10-253940号公報の液晶表示装置では、放電用スイッチング素子のゲート電極自体が、次段の走査配線の終端側に接続されているためその立ち上がりは遅く、非選択時走査駆動電圧電源からの電圧印加が素早く作用するものではなく、十分な改善効果は期待できない。

【0033】尚、以上の課題は、液晶表示装置に特有のものではなく、例えば、EL表示装置等、スイッチング素子にTFTを用いた他のアクティブマトリクス型の画像表示装置においても生じるものである。

【0034】本発明は、上記の問題点を解決するためになされたもので、その目的は、少ないコストアップで、且つ、駆動電圧波形の立ち上がり時および立ち下がり時の双方の波形鈍りを抑制し、実効書込時間を減少させることなく、エラー書込みを防止できる画像表示装置を提供することにある。

#### 【0035】

【課題を解決するための手段】本発明の画像表示装置は、上記の課題を解決するために、複数の走査配線と複数の信号配線とが互いに直交する方向に配設され、上記両配線の各交差部に画素用スイッチング素子を介して表示画素が接続され、これらの表示画素がマトリクス状に設けられたアクティブマトリクス型の画像表示装置において、上記各走査配線毎に、走査配線と比較して信号遅延が小さく、上記各走査配線の信号印加側（走査電極駆動用回路と接続される側）から分岐して該走査配線に接続される走査補助配線が備えられると共に、上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線と同一段の走査補助配線が接続され、同一段の走査信号によってON/OFF制御される充電用スイッチング素子（例えば、TFT）と、上記各充電用スイッチング素子を介して各走査配線の終端側（走査電極駆動用回路が接続されているのと反対側）に接続され、充電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に選択時走査駆動電圧を与える選択時走査駆動電圧電源とからなる構成、および、上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線の次段の走査補助配線が接続され、次段の走査信号によってON/OFF制御される放電用スイッチング素子（例えば、TFT）と、上記各放電用スイッチング素子を介して各走査配線の終端側に接続され、放電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に非選択時走査駆動電圧を与える非選択時走査駆動電圧電源とからなる構成の少なくとも一方の構成が備えられていることを特徴としている。

【0036】上記の構成によれば、各走査配線は、その終端側において充電用スイッチング素子または放電用スイッチング素子を介して、選択時走査駆動電圧電源または非選択時走査駆動電圧電源と接続されている。

【0037】そして、充電用スイッチング素子および選択時走査駆動電圧電源を備えている構成では、ある走査配線が選択状態となった時、該走査配線に印加されるONの走査信号は、走査補助配線を介して上記充電用スイッチング素子をONさせるので、選択された走査配線に

はその終端側から選択時走査駆動電圧電源により選択時走査駆動電圧が印加される。ここで、上記走査補助配線はその信号遅延が小さいため、上記充電用スイッチング素子は素早く立ち上がり、特に、走査配線の終端側における画素用スイッチング素子に対しても急峻な選択時走査駆動電圧を与えることができ、走査駆動電圧波形の立ち上がり波形の鈍りを改善することができる。

【0038】また、放電用スイッチング素子および非選択時走査駆動電圧電源を備えている構成では、走査配線が選択状態から非選択状態に切り替わった時に、次段の走査配線が選択状態となるため、その制御端子が次段の走査補助配線接続された放電用スイッチング素子が素早く立ち上がり、走査配線の終端側における画素用スイッチング素子に対して急峻な非選択時走査駆動電圧を与えることができるため、走査駆動電圧波形の立ち下がり波形の鈍りを改善することができる。

【0039】また、上記画像表示装置は、上記各充電用スイッチング素子および／または各放電用スイッチング素子がTFTで形成され、上記充電用スイッチング素子のゲート電極が同一段の走査補助配線に接続され、ソース／ドレイン電極が同一段の走査配線と選択時走査駆動電圧電源とに接続され、上記放電用スイッチング素子のゲート電極が次段の走査補助配線に接続され、ソース／ドレイン電極が同一段の走査配線と非選択時走査駆動電圧電源とに接続されている構成とすることができる。

【0040】上記構成によれば、上記充電用スイッチング素子および放電用スイッチング素子は、基板に表示パネルと同時工程にて形成することができ、コストアップが少ない。

【0041】また、上記画像表示装置では、上記各充電用スイッチング素子および／または各放電用スイッチング素子のTFTの半導体層が多結晶シリコンからなる構成とすることができる。

【0042】上記構成によれば、上記各充電用スイッチング素子および各放電用スイッチング素子を駆動能力の高い多結晶シリコンTFTとすることで、トランジスタサイズを小さくしても十分の能力が得られ、装置の小型化に寄与する。

【0043】また、上記画像表示装置では、上記各充電用スイッチング素子および／または各放電用スイッチング素子のTFTの半導体層がアモルファスシリコンからなる構成とすることができる。

【0044】上記構成によれば、上記各充電用スイッチング素子および各放電用スイッチング素子を画素用スイッチング素子で用いられるアモルファスシリコンTFTとすることで、各充電用スイッチング素子および各放電用スイッチング素子を画素用スイッチング素子と一体形成することができとなり、コストメリットが高い。

【0045】また、上記画像表示装置では、上記各充電用スイッチング素子および／または各放電用スイッ

チング素子のそれぞれが、並列に配置された複数のTFTにて構成されていてもよい。

【0046】上記構成によれば、トランジスタサイズを余り大きくすることなく各充電用スイッチング素子および各放電用スイッチング素子のON抵抗下げ、トランジスタ能力を向上させたり、冗長性を向上させることができる。

【0047】また、上記画像表示装置では、上記各充電用スイッチング素子および／または各放電用スイッチング素子がMOSトランジスタで形成され、上記充電用スイッチング素子のゲート電極が同一段の走査補助配線に接続され、ソース／ドレイン電極が同一段の走査配線と選択時走査駆動電圧電源とに接続され、上記放電用スイッチング素子のゲート電極が次段の走査補助配線に接続され、ソース／ドレイン電極が同一段の走査配線と非選択時走査駆動電圧電源とに接続されていると共に、上記充電用スイッチング素子および各放電用スイッチング素子が表示パネルとは別のMOSトランジスタアレイチップに設けられており、該MOSトランジスタアレイチップが、各走査配線に走査信号を供給する走査電極駆動用回路の接続側と反対側で上記表示パネルに接続されている構成とすることができる。

【0048】上記構成によれば、上記MOSトランジスタアレイチップは、走査電極駆動用回路に比べて素子数が少ないため、低コストで作ることができるので、装置のコストダウンを図ることができる。

【0049】また、上記画像表示装置では、各充電用スイッチング素子および／または各放電用スイッチング素子のそれぞれが、並列に配置された複数のMOSトランジスタにて構成されていてもよい。

【0050】上記構成によれば、トランジスタサイズを余り大きくすることなく各充電用スイッチング素子および各放電用スイッチング素子のON抵抗下げ、トランジスタ能力を向上させたり、冗長性を向上させることができる。

【0051】また、上記画像表示装置では、上記選択時走査駆動電圧電源および非選択時走査駆動電圧電源の少なくとも一方が、各走査配線に走査信号を供給する走査電極駆動用回路内に備えられている構成とすることができる。

【0052】上記構成によれば、選択／非選択時走査駆動電圧は走査電極駆動用回路の出力電圧と同じであるため、走査電極駆動用回路内に選択時走査駆動電圧電源および非選択時走査駆動電圧電源に相当する構成を作り込むことで更なるコストダウンを図ることができる。

【0053】本発明の画像表示装置は、上記の課題を解決するために、複数の走査配線と複数の信号配線とが互いに直交する方向に配設され、上記両配線の各交差部に画素用スイッチング素子を介して表示画素が接続され、これらの表示画素がマトリクス状に設けられたアクティ

スマトリクス型の画像表示装置において、上記各走査配線毎に、走査配線と比較して信号遅延が小さく、上記各走査配線の信号印加側から分岐されており、かつ、信号印加側と反対側の端部で分岐元の走査配線と接続されている分岐走査配線が備えられており、上記分岐走査配線は、走査配線の形成されている基板上で、該分岐走査配線が接続されている走査配線と隣接して配設されていることを特徴としている。

【0054】上記構成によれば、上記分岐走査配線は、走査配線と比較して信号遅延が小さく、各走査配線の信号印加側から分岐されており、かつ、信号印加側と反対側の端部で分岐元の走査配線と接続されているため、走査電極駆動用ICから出される走査信号を信号遅延を生じさせることなく走査配線の終端側より印加することができる。

【0055】これにより、特に、走査配線の終端側における画素用スイッチング素子に対しても急峻な走査信号を与えることができ、走査駆動電圧波形の立ち上がりおよび立ち下がり波形の鈍りを改善することができる。

【0056】また、上記分岐走査配線は、走査配線の形成されている基板上で、該分岐走査配線が接続されている走査配線と隣接して配設されているため、画像表示装置の解像度が高く走査配線の本数が多くなる場合であっても、上記分岐走査配線を基板の上下端を経由させた後、さらに接続基板を経由して各走査配線の終端側に接続する構成と比べ、接続基板等の部品点数の増加を招くことなく分岐走査配線の配設が容易となる。

【0057】また、上記画像表示装置では、上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線の次段の分岐走査配線が接続され、次段の走査信号によってON/OFF制御される放電用スイッチング素子と、上記各放電用スイッチング素子を介して各走査配線の終端側に接続され、放電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に非選択時走査駆動電圧を与える非選択時走査駆動電圧電源とが備えられている構成とすることができる。

【0058】上記構成によれば、走査配線が選択状態から非選択状態に切り替わった時に、次段の走査配線が選択状態となるため、その制御端子が次段の分岐走査配線が接続された放電用スイッチング素子が素早く立ち上がり、走査配線の終端側における画素用スイッチング素子に対して急峻な非選択時走査駆動電圧を与えることができるため、走査駆動電圧波形の立ち下がり波形の鈍りをより改善することができる。

【0059】

【発明の実施の形態】本発明の実施の一形態について図1ないし図6に基づいて説明すれば、以下の通りである。

【0060】本実施の形態に係る液晶表示装置の回路構

成を図1に示す。上記液晶表示装置は、図1に示すように、表示パネル101内において、走査配線111-1～111-nと信号配線121-1～121-mとが格子状に配置され、各々と接続する走査電極と信号電極との交点に画素用TFT131を介して液晶画素132が接続されている。また、走査配線111-1～111-nと信号配線121-1～121-mには、それぞれ走査電極駆動用IC112と信号電極駆動用IC122とが接続されている。

【0061】また、走査電極駆動用IC112側には、上記走査配線111-1～111-nのそれぞれに、各走査配線111…に比べて配線抵抗が小さく信号の鈍り（信号遅延）が小さい走査補助配線113-1～113-nが接続されている。尚、上記走査補助配線113-1～113-nの信号遅延が小さくなるのは、走査配線111-1～111-nと異なりTFTや補助容量が設けられていないことによるものである。

【0062】上記走査補助配線113-1～113-nの一端は、各走査配線111…に接続される画素用TFT131…のさらに入力端側（走査電極駆動用ICに近い側）において走査配線111-1～111-nに接続され、他端は、各走査配線111毎に設けられた充電用TFT114-1～114-nのゲート電極に接続される。また、上記各充電用TFT114のソース電極は選択時走査駆動電圧電源115に接続され、ドレイン電極は各走査配線111…に接続される画素用TFT131…のさらに終端側（走査電極駆動用ICに遠い側）において走査配線111-1～111-nに接続される。

【0063】また、上記各走査配線111…の終端は、各走査配線111毎に設けられた放電用TFT116-1～116-nのソース電極に接続される。上記各放電用TFT116…は、各走査配線111…に対して上記各充電用TFT114…と並列に接続されている。上記各放電用TFT116…のドレイン電極は非選択時走査駆動電圧電源117に接続され、ゲート電極は次段の走査配線に対して設けられた走査補助配線に接続される。但し、最終ラインである走査配線111-nには、次段の走査配線が存在しないため、放電用TFT116-nのゲート電極は、走査補助配線113-(n+1)により走査電極駆動用IC112と直接接続される。上記走査補助配線113-(n+1)には、最終走査配線111-nがOFFする際にONとなるようなダミーパルスが入力される。

【0064】本実施の形態では、各充電用TFT114…および各放電用TFT116…に対して、多結晶シリコンTFTが用いられているものとする。また、選択時走査電圧電源115は、走査電極駆動用IC112の選択時の走査電極駆動電圧と同じ電圧を各充電用TFT114…の接続端子に印加し、同様に、非選択時走査電圧電源117は、走査電極駆動用IC112の非選択時の

走査電極駆動電圧と同じ電圧を各放電用 TFT 117…の接続端子に印加する。多結晶シリコン TFT の形成方法としては、アクティブ素子基板における全ての TFT (画素スイッチング用の画素用 TFT 131…、充電用 TFT 114…、放電用 TFT 116…) をアモルファスシリコン TFT で形成した後、充電用 TFT 114…および放電用 TFT 116…にレーザーハニールを施すことにより多結晶化する製法と、画素スイッチング用である画素用 TFT 131…を含めて全ての TFT を共に多結晶シリコン TFT にて一体形成する製法との二通りがある。

【0065】ここで、多結晶シリコン TFT である充電用 TFT 114…および放電用 TFT 116…のトランジスタサイズは、数  $k\Omega$  以下程度のオン抵抗が取れるようになっている。

【0066】尚、上記図 1 に示す構成は、図の上側から順に走査配線をスキャンする場合を示しているが、図の下側からスキャンするものであれば、上記の逆のライン順序で接続すればよい。

【0067】次に、本実施の形態に係る液晶表示の動作について、図 1 および図 2 を参照して説明する。

【0068】図 2 は、上記液晶表示装置における走査電圧のタイミングチャートであり、従来の構成では走査駆動電圧波形の鈍りが生じていた走査電極駆動用 IC 111 の接続端から最も遠い画素用トランジスタである TFT (終端側 TFT) のゲートに印加される走査駆動電圧波形を示す。

【0069】図 2において、終端側 TFT に印加される走査駆動電圧波形は、図中実線で示されるように、符号 201 に示すような波形となる。また、従来構成において、終端側 TFT に印加される走査駆動電圧波形は、図中破線で示されるように、符号 202 に示すような波形となる。

【0070】本実施の形態において、k 番目の走査配線 (k ライン) に注目すると、k ラインにおける終端側 TFT に印加される走査駆動電圧は、最初、走査配線 111-k を介して走査電極駆動用 IC により与えられる。このため、上記終端側 TFT の走査駆動電圧波形は、走査配線 111-k の配線抵抗や寄生容量により走査開始時に従来の波形と同様に鈍った立ち上がり特性を持つ。

【0071】しかしながら、k ライン選択時において、走査配線 111-k に与えられる ON 信号は、同時に走査補助配線 113-k を介して充電用 TFT 114-k のゲート電極に印加され、該充電用 TFT 114-k をも ON させる。ここで、走査補助配線は、画素用トランジスタや寄生容量が設けられていない分、走査配線に比べて信号遅延が小さく、かつ、各走査配線の入力端側 (走査電極駆動用 IC に近い側) において各走査配線に接続されているため、各走査配線に ON 信号が与えられると同時に、それを上記充電用 TFT に与えることができる。

きる。したがって、上記充電用 TFT 114-k は、図 2 中で符号 203 の一点鎖線の波形で示すように鋭い立ち上がりを示し、時間  $t_1$  にて ON 状態となる。上記充電用 TFT 114-k が ON になると、選択時走査駆動電圧電源 115 より、上記走査配線 111-k の終端側から走査電極駆動用 IC 112 の選択時の走査電極駆動電圧と同じ電圧が走査配線 111-k に対して与えられる。これにより、上記充電用 TFT 114-k が ON となった後は、終端側 TFT が鋭い立ち上がりを示し、終端側 TFT における立ち上がりの鈍りを改善することができる。

【0072】次に、終端側 TFT に印加される走査駆動電圧の立ち下がり時の波形について説明する。

【0073】k ラインの走査配線 111-k が選択状態から非選択状態に切り替わった時、終端側 TFT における走査駆動電圧は、最初、立ち上がり時と同様に走査配線 111-k の配線抵抗や寄生容量の影響により鈍い立ち下がりを示す。しかしながら、k ラインの走査配線 111-k が非選択状態に切り替わる時、同時に、(k+1) ラインの走査配線 111-(k+1) が選択状態となる。走査配線 111-(k+1) が選択状態となった時、該走査配線 111-(k+1) に接続された走査補助配線 113-(k+1) に対しても ON 電圧が与えられる。

【0074】ここで、走査補助配線 113-(k+1) に与えられる ON 電圧は、(k+1) ラインの充電用 TFT 114-(k+1) を ON するだけでなく、k ラインの放電用 TFT 116-k のゲート電極にも与えられ、該放電用 TFT 116-k を時間  $t_2$  にて ON させる。上記放電用 TFT 116-k が ON することにより、非選択時走査駆動電圧電源 117 より、上記走査配線 111-k の終端側から走査電極駆動用 IC 112 の非選択時の走査電極駆動電圧と同じ電圧が走査配線 111-k に対して与えられる。これにより、上記放電用 TFT 116-k が ON となった後は、終端側 TFT が鋭い立ち下がりを示し、終端側 TFT における立ち下がりの鈍りを改善することができる。

【0075】このように、本実施の形態に係る液晶表示装置の回路構成では、k ラインの走査補助配線 113-k に ON 電圧が印加されることにより、前段、すなわち (k-1) ラインの放電用 TFT 116-(k-1) を ON して走査配線 111-(k-1) の終端側 TFT の立ち下がりを改善すると共に、同一段、すなわち k ラインの充電用 TFT 114-k を ON して走査配線 111-k の終端側 TFT の立ち上がりを改善する。これにより、従来技術における走査駆動電圧である符号 202 の波形と比べて、各走査配線 111…の走査駆動電圧の ON 時の電圧立ち上がり、OFF 時の電圧立ち下がりが大幅に改善される。

【0076】尚、上記図 1 の構成では、各走査配線 11

1…に対して、充電用 TFT 114…および選択時走査駆動電圧電源 115からなる構成と、放電用 TFT 116…および非選択時走査駆動電圧電源 117からなる構成とを両方設け、走査駆動電圧のON時における電圧立ち上がりと、OFF時における電圧立ち下がりとの両方を改善しているが、これらの構成は独立して効果が得られるものであり、本発明は、少なくとも一方を設けるものであっても良い。

【0077】例として、図15に、充電用 TFT 114…と選択時走査駆動電圧電源 115とを省略し、放電用 TFT 116…と非選択時走査駆動電圧電源 117とのみを設けた構成を示す。また、この構成においては、走査補助配線 113-1についても省略されている。無論、本発明は、放電用 TFT 116…と非選択時走査駆動電圧電源 117とを省略した構成であっても良い。

【0078】図3は、走査駆動電圧波形を比較するための電圧のシミュレーション波形であり、(a)は走査電極駆動用 IC の接続端側における電圧波形、(b)は従来例における走査配線終端側の電圧波形、(c)は本実施の形態における走査配線終端側の電圧波形である。図3(c)より明らかかなように、本実施の形態における走査配線終端部の電圧波形は、図3(b)に示す従来例と比較して、選択時電圧に達する際の電圧波形と、非選択時電圧に達する際の電圧波形との双方が改善されていることがわかる。

【0079】尚、以上の説明では、充電用 TFT 114…および放電用 TFT 116…が多結晶シリコン TFT で形成されているものとしたが、これらの TFT はアモルファスシリコン TFT で形成されていてもよい。

【0080】アモルファスシリコン TFT は、多結晶シリコン TFT に対して駆動能力が低いので、充電用 TFT 114…および放電用 TFT 116…をアモルファスシリコン TFT で形成する場合には、トランジスタのON抵抗を低くするために、そのトランジスタサイズを画素用 TFT のトランジスタより表示パネルの外形寸法が許す限り大きくする必要がある。

【0081】但し、充電用 TFT 114…および放電用 TFT 116…をアモルファスシリコン TFT で形成した場合、これらの TFT を画素スイッチング用の画素用 TFT 131…と同時に、アモルファスシリコン TFT にて一体形成することが可能であり、コストメリットが高い。

【0082】また、上記説明の構成では、充電用 TFT 114…および放電用 TFT 116…は、各走査配線 111毎に1つずつ設けられているが、複数個の TFT を並列に配置したものと接続してもよい。例えば、図4(a)に示すように、充電用 TFT 114 および放電用 TFT 116として1つの TFT で構成されているところを、図4(b)に示すような複数個の TFT による構成とすればよい。

【0083】各走査配線 111において、それぞれ1つずつの充電用 TFT 114 および放電用 TFT 116が接続される場合、トランジスタのON抵抗、必要とされる信号の遅延量にともなって該トランジスタのサイズが非常に大きくなったり、トランジスタの不良時の修正手段が無いなどの理由によって良品率を損なう可能性が大きい。

【0084】そこで、図4(b)に示すように、適當なサイズの TFT を複数個並列に配置したものを形成させることで上記欠点を回避することができ、能力的にも、冗長の観点からも有効である。

【0085】また、図1の回路構成とは異なる、本発明の変形例を図5に示す。図5に示す液晶表示装置では、図1に示す選択時走査駆動電圧電源 115および非選択時走査駆動電圧電源 117を省略し、充電用 TFT 114…および放電用 TFT 116…のソース電極に繋がる配線 118・119を走査電極駆動用 IC 112と接続することで、該走査電極駆動用 IC 112から選択時走査駆動電圧および非選択時走査駆動電圧を充電用 TFT 114…および放電用 TFT 116…に印加している。

【0086】選択／非選択時走査駆動電圧は走査電極駆動用 IC 112の出力電圧と同じであり、走査電極駆動用 IC 112内に選択時走査駆動電圧電源および非選択時走査駆動電圧電源に相当する構成を作り込むことで更なるコストダウンがはかれる。尚、上記図5に示す回路構成の場合における動作は、図1に示す回路構成の場合と同じである。

【0087】尚、上記図5の構成では、選択時走査駆動電圧電源 115および非選択時走査駆動電圧電源 117を省略し、充電用 TFT 114…および放電用 TFT 116…のソース電極に繋がる配線 118・119を走査電極駆動用 IC 112と接続しているが、本発明では、選択時走査駆動電圧電源 115および非選択時走査駆動電圧電源 117の少なくとも一方を省略する構成であっても良い。

【0088】例として、図16に、非選択時走査駆動電圧電源 117を省略し、放電用 TFT 116…のソース電極に繋がる配線 119を走査電極駆動用 IC 112と接続した構成を示す。無論、本発明は、選択時走査駆動電圧電源 115を省略し、充電用 TFT 114…のソース電極に繋がる配線 118を走査電極駆動用 IC 112と接続した構成であっても良い。

【0089】さらに、図1とは異なる、本発明の他の変形例を図6に示す。図6に示す液晶表示装置では、充電用 TFT 114…および放電用 TFT 116…がMOSトランジスタとして形成されている。このため、上記液晶表示装置は、表示パネル 301および充放電回路 302を備えており、表示パネル 301内には画素スイッチング用の画素用 TFT 131…が形成され、充放電回路 302内にはMOSトランジスタである充電用 TFT 1

14…および放電用TFT116…が形成されている。【0090】上記充放電回路302では、単結晶シリコン基板上に充電用TFT114…および放電用TFT116…が形成されており、MOSトランジスタアレイチップとなる該充放電回路302は、TCP（テープキャリアパッケージ）やCOG（チップオングラス）等のフレキシブル基板にて走査電極駆動用IC112との接続端とは反対側から表示パネル301に接続され、充電用TFT114…および放電用TFT116…へは走査電極駆動用IC112から選択／非選択時走査駆動電圧が供給される。尚、図6に示す液晶表示装置は、その他の回路構成および動作については図5に示す液晶表示装置と同じであるが、図1等、他の図面に示す液晶表示装置と同じ回路構成および動作としてもよい。

【0091】上記液晶表示装置では、MOSトランジスタアレイチップは、走査電極駆動用ICと比べて素子数が少ないため、低コストで作ることができるので、従来の両側駆動の技術に比べ低いコストで製作することができる。

【0092】さらに、図1とは異なる、本発明の他の変形例を図17に示す。図17に示す液晶表示装置では、上述のような充電用TFT114…および放電用TFT116…が設けられておらず、走査配線111…と比較して信号遅延が小さく、上記各走査配線111…の信号印加側から分岐されており、かつ、信号印加側と反対側の端部で分岐元の走査配線111…と接続されている分岐走査配線120…を設けた構成となっている。また、上記分岐走査配線120…は、表示パネル101を形成する基板上で、該分岐走査配線120…が接続されている走査配線111…と隣接して配設されている上記図17の構成では、分岐走査配線120…は、走査配線111…と比較して信号遅延が小さく、各走査配線111…の信号印加側から分岐されており、かつ、信号印加側と反対側の端部で分岐元の走査配線111…と接続されているため、走査電極駆動用IC112から出される走査信号を信号遅延を生じさせることなく走査配線111…の終端側より印加することができる。

【0093】これにより、特に、走査配線111…の終端側における画素用TFT131に対して急峻な走査信号を与えることができ、走査駆動電圧波形の立ち上がりおよび立ち下がり波形の鈍りを改善することができる。

【0094】また、上記分岐走査配線120…は、走査配線111…の形成されている基板上で、該分岐走査配線120…が接続されている走査配線111…と隣接して配設されているため、画像表示装置の解像度が高く走査配線111…の本数が多くなる場合であっても、分岐走査配線を基板の上下端を経由させた後、さらに接続基板を経由して各走査配線の終端側に接続する構成（図13の構成）と比べ、接続基板等の部品点数の増加を招く

ことなく分岐走査配線の配設が容易となる。

【0095】また、上記図17の変形例として、図18に示すような構成とすることができる。図18に示す液晶表示装置では、走査配線111…と比較して信号遅延が小さく、上記各走査配線111…の信号印加側から分岐されており、かつ、信号印加側と反対側の端部で分岐元の走査配線111…と接続されている分岐走査配線120…を設けた構成となっている。また、上記分岐走査配線120…は、表示パネル101を形成する基板上で、該分岐走査配線120…が接続されている走査配線111…と隣接して配設されている。さらに、上記液晶表示装置では、放電用TFT116…と、選択時走査駆動電圧電源117とが設けられている。

【0096】上記図18の構成では、ある走査配線111が選択状態から非選択状態に切り替わった時に、次段の走査配線111が選択状態となるため、選択状態から非選択状態に切り替わった走査配線111に接続される放電用TFTが次段の分岐走査配線120…からのON信号によって素早く立ち上がり、選択状態から非選択状態に切り替わった走査配線111の終端側における画素用TFT131に対して急峻な非選択時走査駆動電圧を与えることができるので、走査駆動電圧波形の立ち下がり波形の鈍りをさらに改善することができる。

【0097】上記図17、18の構成において、分岐走査配線120…、120'…は、走査電極駆動用IC112から出される走査信号を各走査配線111…の終端側から直接走査配線111…に与えるものであり、走査電極駆動用IC112から出される走査信号によって充電用／放電用TFT114…、116…の制御を行なう走査補助配線113…とはその機能が異なるものである。但し、図18の構成においては、分岐走査配線120…は、走査電極駆動用IC112から出される走査信号によって放電用TFT116の制御も同時に行なっているものであり、走査補助配線の機能を併せ持っている。

【0098】以上、本実施の形態における説明では、画像表示装置として液晶表示装置を例示したが、本発明は、少なくともアクティブマトリクス方式を採用したものであれば、例えばEL表示装置等、液晶表示以外の他の画像表示装置にも適用できる。

【0099】

【発明の効果】本発明の画像表示装置は、以上のように、上記各走査配線毎に、走査配線と比較して信号遅延が小さく、上記各走査配線の信号印加側（走査電極駆動用回路と接続される側）から分岐して該走査配線に接続される走査補助配線が備えられると共に、上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線と同一段の走査補助配線が接続され、同一段の走査信号によってON/OFF制御される充電用スイッチング素子（例えば、

TFT)と、上記各充電用スイッチング素子を介して各走査配線の終端側(走査電極駆動用回路が接続されているのと反対側)に接続され、充電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に選択時走査駆動電圧を与える選択時走査駆動電圧電源とからなる構成、および、上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線の次段の走査補助配線が接続され、次段の走査信号によってON/OFF制御される放電用スイッチング素子(例えば、TFT)と、上記各放電用スイッチング素子を介して各走査配線の終端側に接続され、放電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に非選択時走査駆動電圧を与える非選択時走査駆動電圧電源とからなる構成の少なくとも一方の構成が備えられている構成である。

【0100】それゆえ、充電用スイッチング素子および選択時走査駆動電圧電源を備えている構成では、ある走査配線が選択状態となった時、該走査配線に印加されるONの走査信号は、走査補助配線を介して上記充電用スイッチング素子をONさせるので、選択された走査配線にはその終端側から選択時走査駆動電圧電源により選択時走査駆動電圧が印加される。これにより、走査配線の終端側における画素用スイッチング素子に対して急峻な選択時走査駆動電圧を与えることができ、走査駆動電圧波形の立ち上がり波形の鈍りを改善することができる。

【0101】また、放電用スイッチング素子および非選択時走査駆動電圧電源を備えている構成では、走査配線が選択状態から非選択状態に切り替わった時には、次段の走査配線が選択状態となり、次段の走査補助配線が接続された放電用スイッチング素子がONとなるため、走査配線の終端側における画素用スイッチング素子に対して急峻な非選択時走査駆動電圧を与えることができ、走査駆動電圧波形の立ち下がり波形の鈍りを改善することができる。

【0102】このように、上記画像表示装置では、非選択時電圧から選択時電圧に変化する際と選択時電圧から非選択時電圧に変化する際との両方の波形鈍りに関して、片側駆動のままで両側駆動と同様の改善効果が得られる。

【0103】また、上記画像表示装置は、上記各充電用スイッチング素子および/または各放電用スイッチング素子がTFTで形成され、上記充電用スイッチング素子のゲート電極が同一段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と選択時走査駆動電圧電源とに接続され、上記放電用スイッチング素子のゲート電極が次段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と非選択時走査駆動電圧電源とに接続されている構成とすることができる。

【0104】これにより、上記充電用スイッチング素子

および放電用スイッチング素子は、基板に表示パネルと同時工程にて形成することができ、少ないコストアップで上記効果を達成できる。

【0105】また、上記画像表示装置では、上記各充電用スイッチング素子および/または各放電用スイッチング素子のTFTの半導体層が多結晶シリコンからなる構成とすることができる。

【0106】これにより、上記各充電用スイッチング素子および各放電用スイッチング素子のトランジスタサイズを小さくしても十分な能力が得られ、装置の小型化を図る上で効果的である。

【0107】また、上記画像表示装置では、上記各充電用スイッチング素子および/または各放電用スイッチング素子のTFTの半導体層がアモルファスシリコンからなる構成とすることができる。

【0108】これにより、各充電用スイッチング素子および各放電用スイッチング素子を画素用スイッチング素子とアモルファスシリコンとして一体形成することで、大きなコストメリットが得られる。

【0109】また、上記画像表示装置では、上記各充電用スイッチング素子および/または各放電用スイッチング素子のそれぞれが、並列に配置された複数のTFTにて構成されていてもよい。

【0110】これにより、トランジスタ能力を向上させたり、冗長性を向上させることができる。

【0111】また、上記画像表示装置では、上記各充電用スイッチング素子および/または各放電用スイッチング素子がMOSトランジスタで形成され、上記充電用スイッチング素子のゲート電極が同一段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と選択時走査駆動電圧電源とに接続され、上記放電用スイッチング素子のゲート電極が次段の走査補助配線に接続され、ソース/ドレイン電極が同一段の走査配線と非選択時走査駆動電圧電源とに接続されていると共に、上記充電用スイッチング素子および各放電用スイッチング素子が表示パネルとは別のMOSトランジスタアレイチップに設けられており、該MOSトランジスタアレイチップが、各走査配線に走査信号を供給する走査電極駆動用回路の接続側と反対側で上記表示パネルに接続されている構成とすることができる。

【0112】これにより、上記MOSトランジスタアレイチップを低コストで作ることができるので、装置のコストダウンを図ることができる。

【0113】また、上記画像表示装置では、各充電用スイッチング素子および/または各放電用スイッチング素子のそれぞれが、並列に配置された複数のMOSトランジスタにて構成されていてもよい。

【0114】これにより、トランジスタ能力を向上させたり、冗長性を向上させることができる。

【0115】また、上記画像表示装置では、上記選択時

走査駆動電圧電源および非選択時走査駆動電圧電源の少なくとも一方が、各走査配線に走査信号を供給する走査電極駆動用回路内に備えられている構成とすることができます。

【0116】これにより、走査電極駆動用回路内に選択時走査駆動電圧電源および非選択時走査駆動電圧電源に相当する構成を作り込むことで更なるコストダウンを図ることができる。

【0117】本発明の画像表示装置は、以上のように、上記各走査配線毎に、走査配線と比較して信号遅延が小さく、上記各走査配線の信号印加側から分岐されており、かつ、信号印加側と反対側の端部で分岐元の走査配線と接続されている分岐走査配線が備えられており、上記分岐走査配線は、走査配線の形成されている基板上で、該分岐走査配線が接続されている走査配線と隣接して配設されている構成である。

【0118】それゆえ、上記分岐走査配線は、走査電極駆動用ICから出される走査信号を信号遅延を生じさせることなく走査配線の終端側より印加することができ、特に、走査配線の終端側における画素用スイッチング素子に対しても急峻な走査信号を与えることができ、走査駆動電圧波形の立ち上がりおよび立ち下がり波形の鈍りを改善することができるという効果を奏する。

【0119】また、上記分岐走査配線は、走査配線の形成されている基板上で、該分岐走査配線が接続されている走査配線と隣接して配設されているため、接続基板等の部品点数の増加を招くことなく分岐走査配線の配設が容易となるという効果を併せて奏する。

【0120】また、上記画像表示装置では、上記各走査配線の信号印加側と反対側の端部に接続されると共に、その制御端子には、接続されている走査配線の次段の分岐走査配線が接続され、次段の走査信号によってON/OFF制御される放電用スイッチング素子と、上記各放電用スイッチング素子を介して各走査配線の終端側に接続され、放電用スイッチング素子がONとなっている走査配線に対して、その終端側から該走査配線に非選択時走査駆動電圧を与える非選択時走査駆動電圧電源とが備えられている構成とすることができる。

【0121】それゆえ、走査配線が選択状態から非選択状態に切り替わった時に、次段の走査配線が選択状態となるため、その制御端子が次段の分岐走査配線が接続された放電用スイッチング素子が素早く立ち上がり、走査配線の終端側における画素用スイッチング素子に対して急峻な非選択時走査駆動電圧を与えることができるため、走査駆動電圧波形の立ち下がり波形の鈍りをより改善することができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、液晶表示装置の回路構成を示す回路図である。

【図2】上記液晶表示装置の走査電圧を示すタイミング

チャートである。

【図3】走査駆動電圧波形を比較するための電圧のシミュレーション波形を示す説明図であり、(a)は走査電極駆動用ICの接続端側における電圧波形、(b)は従来例における走査配線終端部の電圧波形、(c)は本発明の実施の形態の走査配線終端部の電圧波形である。

【図4】図4(a)は上記液晶表示装置の充電用TFTまたは放電用TFTを1つのTFTで構成した場合を示す説明図であり、図4(b)は上記液晶表示装置の充電用TFTまたは放電用TFTを並列に配置された複数のTFTで構成した場合の例を示す説明図である。

【図5】本発明の変形例を示すものであり、図1とは別の構成の液晶表示装置の回路構成を示す回路図である。

【図6】本発明の変形例を示すものであり、図1および図5とは別の構成の液晶表示装置の回路構成を示す回路図である。

【図7】液晶表示装置の簡単な構成および動作を示す模式的断面図であり、(a)は駆動電圧OFFの状態、(b)は駆動電圧ONの状態を示すものである。

【図8】図7の構成原理による単純マトリクス液晶表示装置の模式的構成を示す平面図である。

【図9】従来の技術による一般的なアクティブマトリクス型液晶表示装置の構成を示す回路図である。

【図10】図9のアクティブマトリクス型(逆スタガ型)液晶表示装置の画素構成を示す図であり、(a)は平面図、(b)は(a)におけるA-A断面図である。

【図11】従来の液晶表示装置において、走査電圧と信号電圧のタイミングをずらして印加する場合の関係を示すタイミングチャートである。

【図12】従来の液晶表示装置の一例を示す回路図である。

【図13】従来の液晶表示装置の一例を示す回路図である。

【図14】従来の液晶表示装置の一例を示す回路図である。

【図15】本発明の変形例を示すものであり、図1とは別の構成の液晶表示装置の回路構成を示す回路図である。

【図16】本発明の変形例を示すものであり、図1とは別の構成の液晶表示装置の回路構成を示す回路図である。

【図17】本発明の変形例を示すものであり、図1とは別の構成の液晶表示装置の回路構成を示す回路図である。

【図18】本発明の変形例を示すものであり、図1とは別の構成の液晶表示装置の回路構成を示す回路図である。

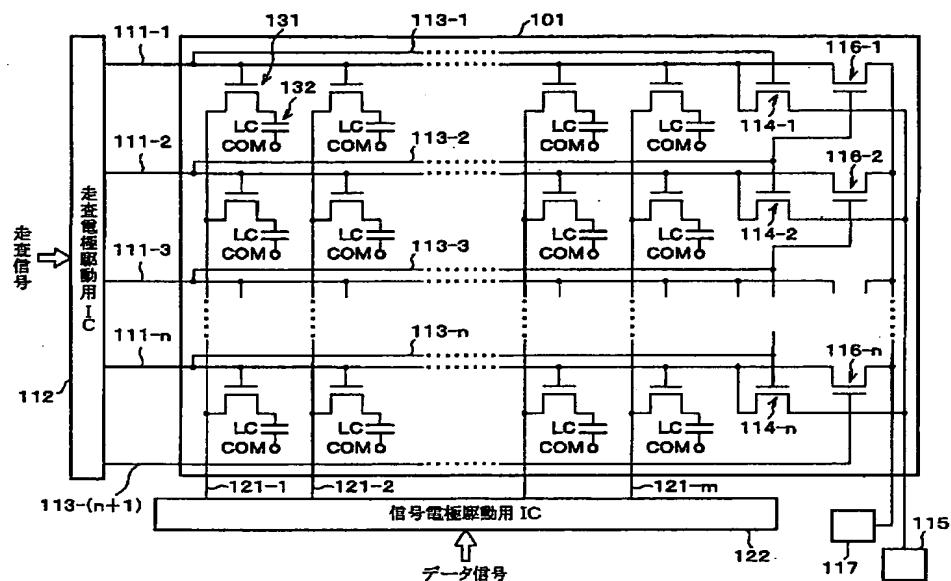
#### 【符号の説明】

101、301 表示パネル

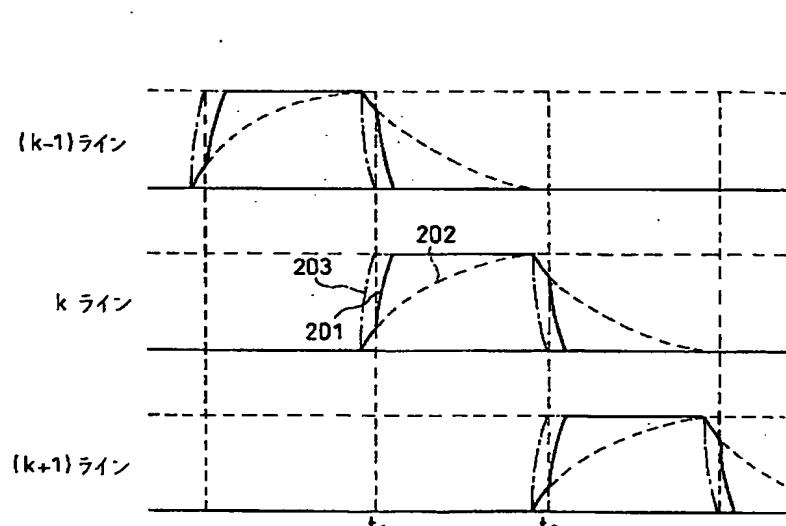
111-1~111-n 走査配線

111-2	走査電極駆動用 IC (走査電 極駆動用回路)	120	分岐走査配線
113-1~113-n	走査補助配線	120'	分岐走査配線
114-1~114-n	充電用 TFT (充電用スイッ チング素子)	121-1~121-n	信号配線
115	選択時走査駆動電圧電源	122	信号電極駆動用 IC
116-1~116-n	放電用 TFT (放電用スイッ チング素子)	131	画素用 TFT (画素用スイッ チング素子)
117	非選択時走査駆動電圧電源	132	液晶画素 (表示画素)
		302	充放電基板 (MOSトランジ スタアレイチップ)

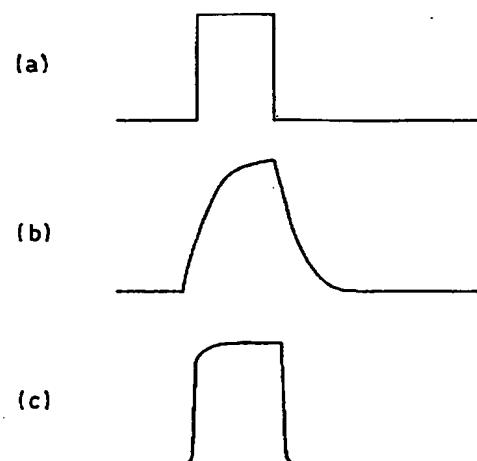
【図 1】



【図 2】



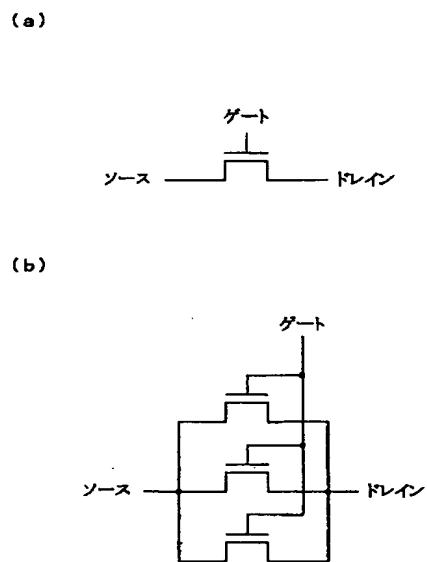
【図 3】



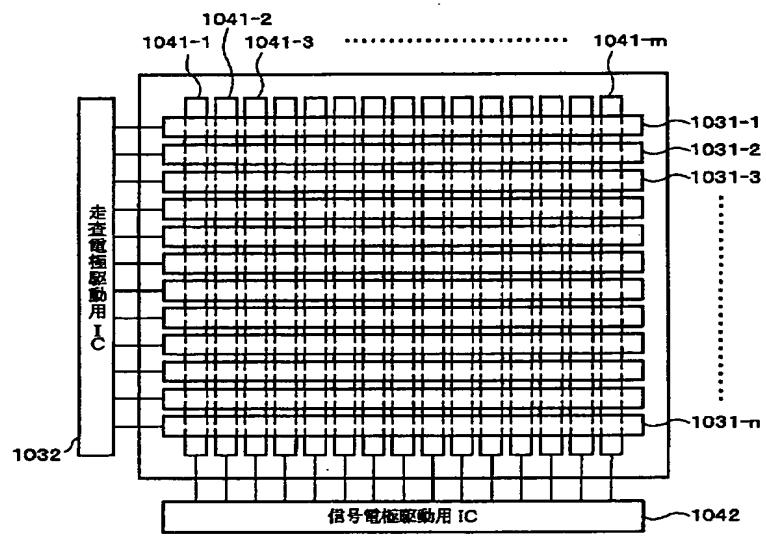
BEST AVAILABLE COPY

BEST AVAILABLE COPY

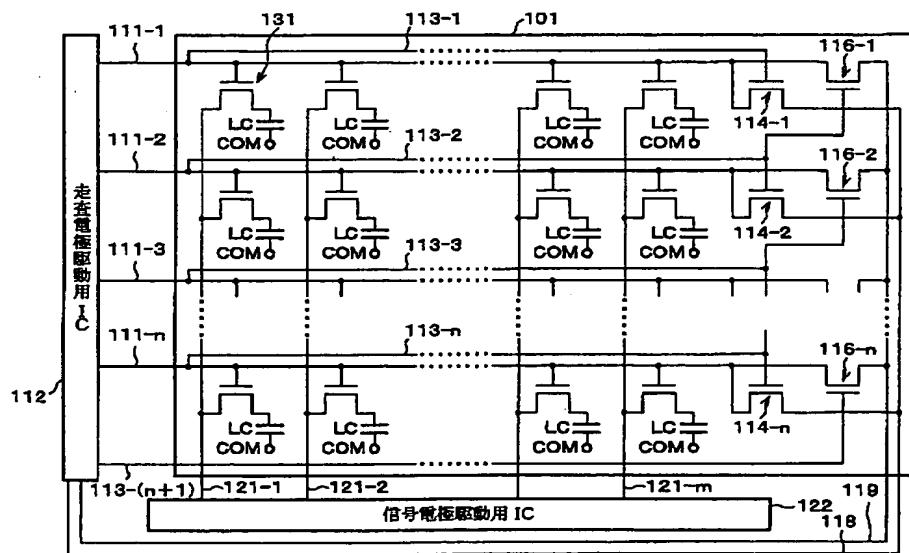
【図4】



【図8】

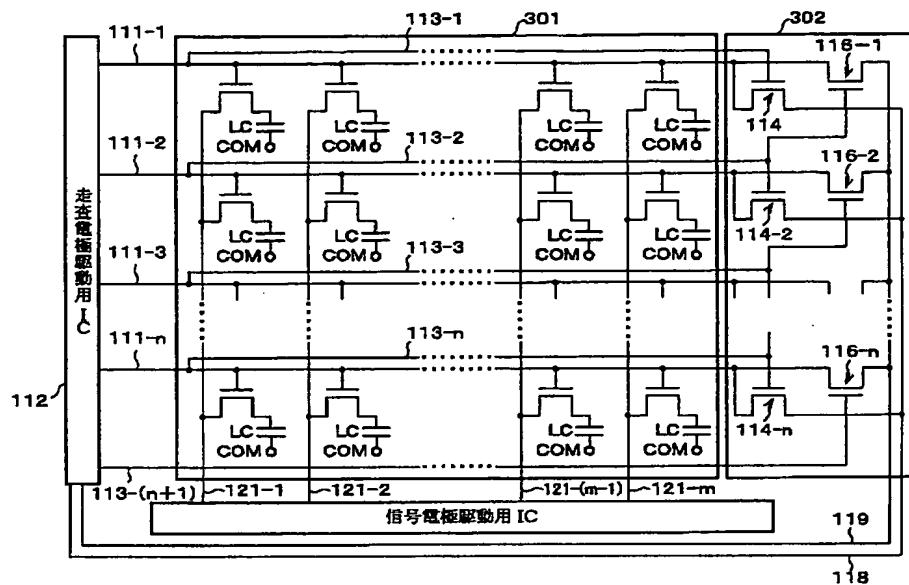


【図5】

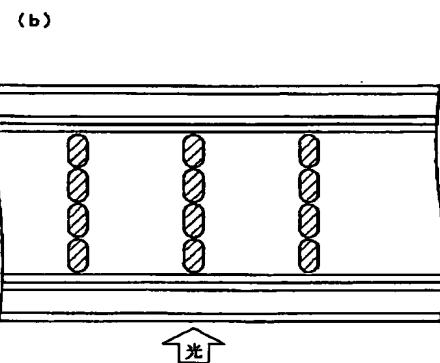
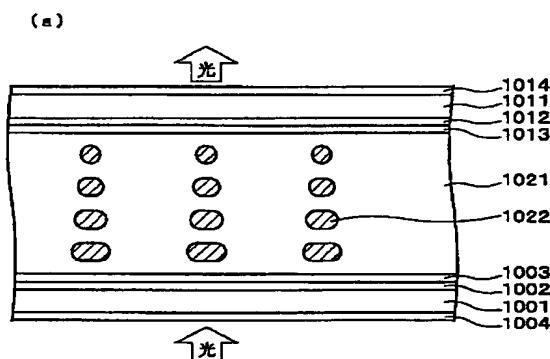


BEST AVAILABLE COPY

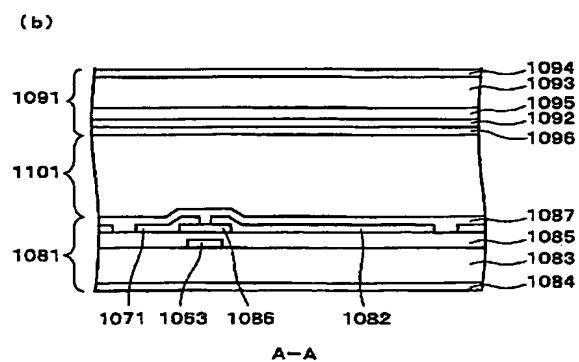
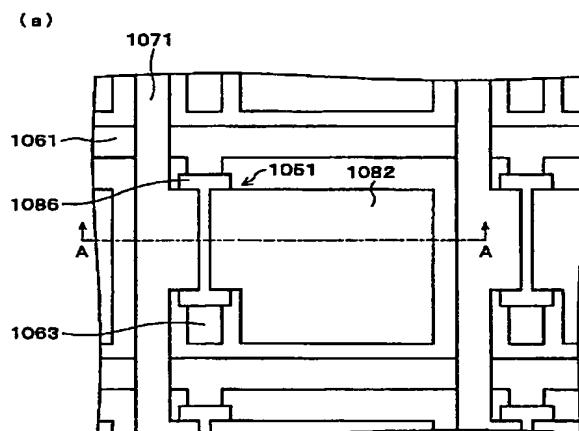
【図 6】



【図 7】

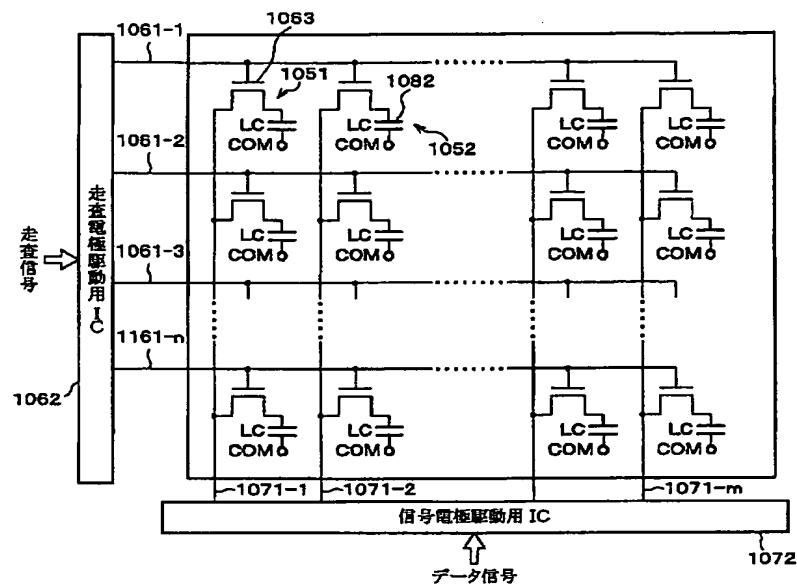


【図 10】

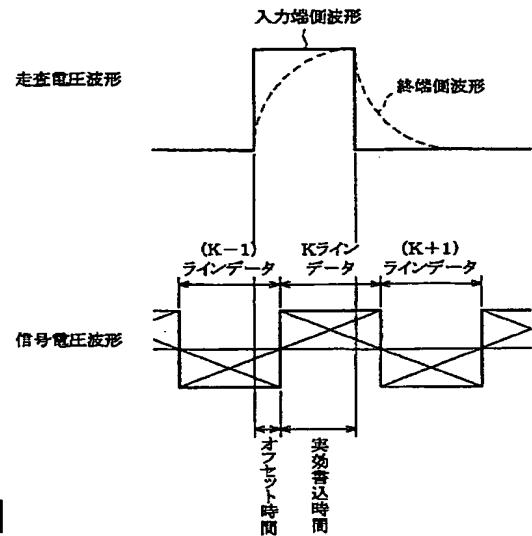


BEST AVAILABLE COPY

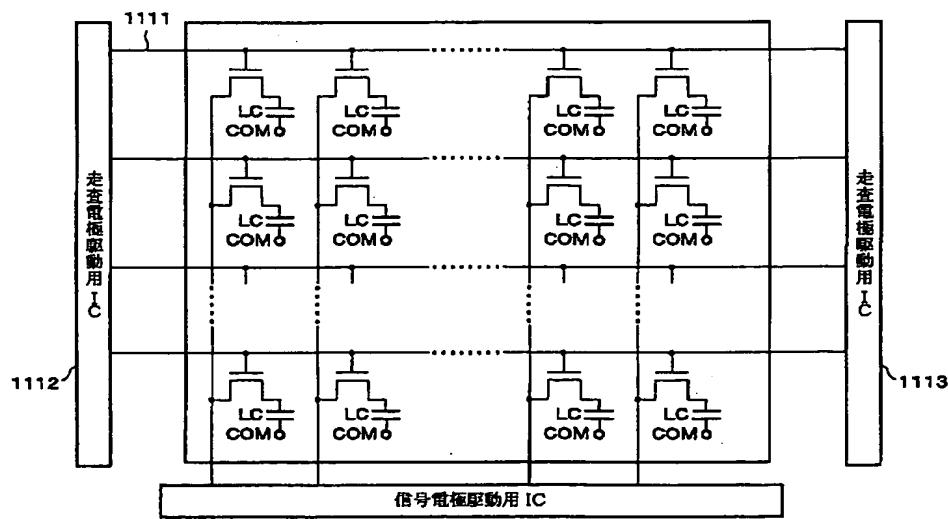
【図 9】



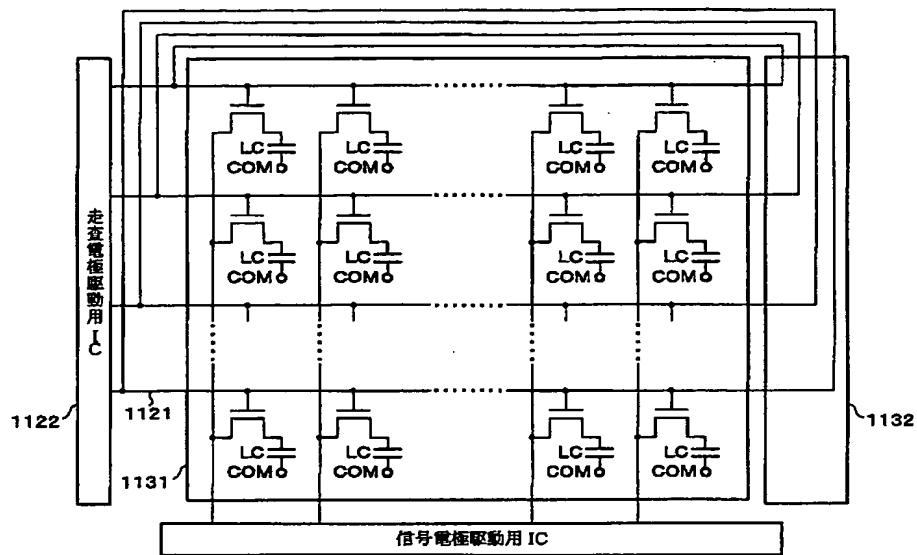
【図 11】



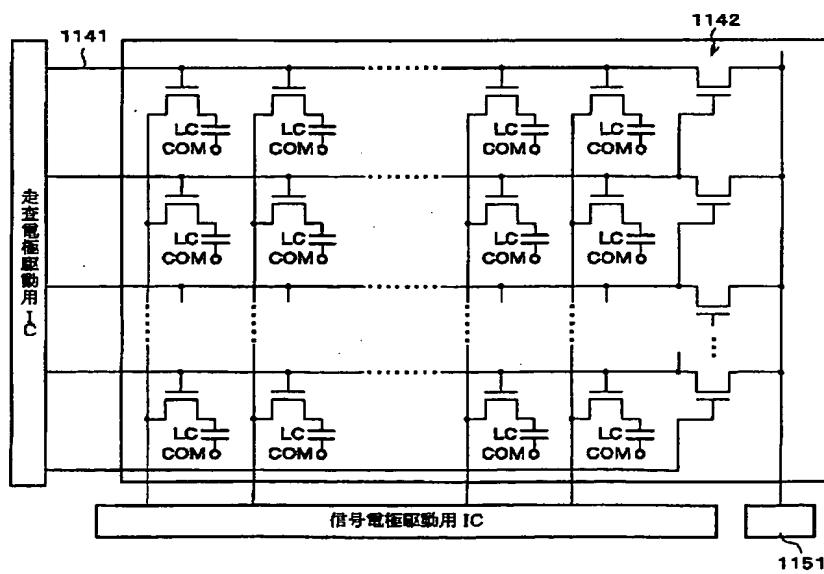
【図 12】



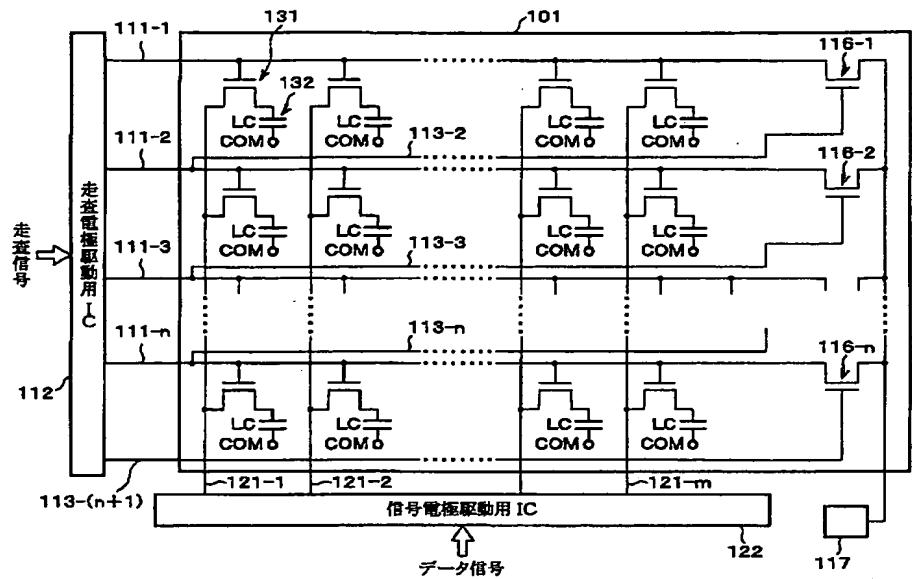
【図 13】



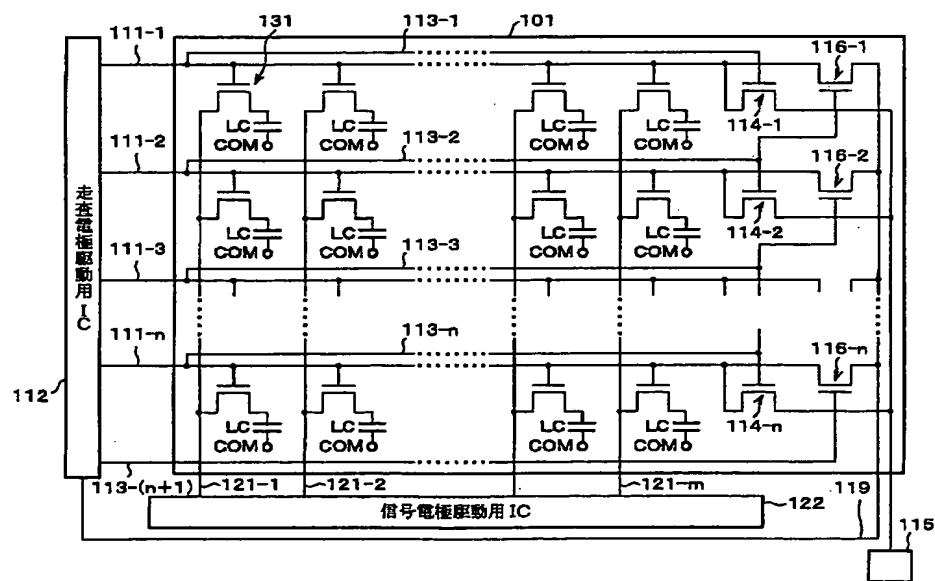
【図 14】



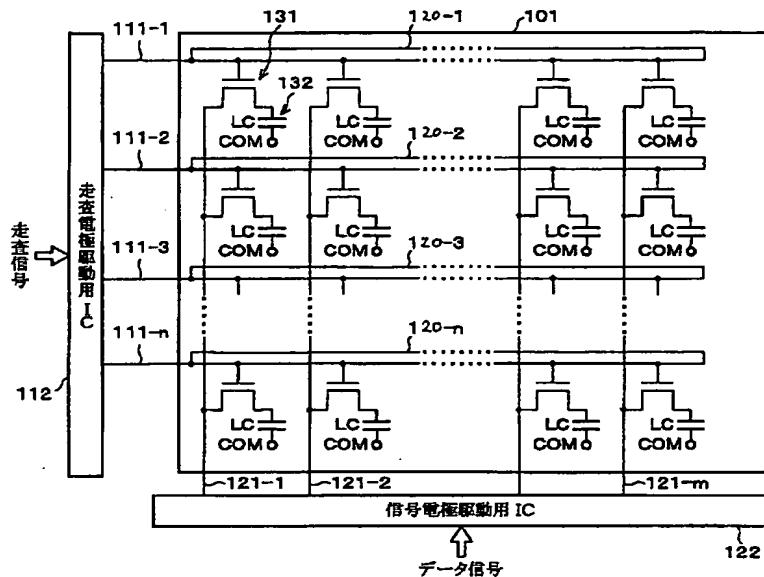
【図 15】



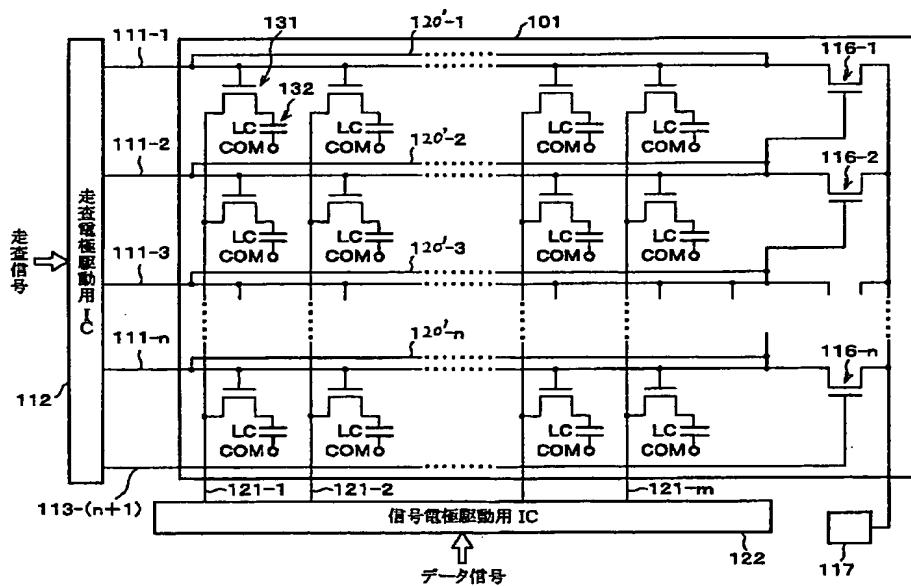
【図 16】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl. 7

G 09 F 9/30

G 09 G 3/20

識別記号

3 3 8

6 1 1

6 2 1

6 2 4

F I

G 09 F 9/30

G 09 G 3/20

マーク (参考)

3 3 8

6 1 1 J

6 2 1 M

6 2 4 B

(72)発明者 長島 伸悦  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(72)発明者 近藤 直文  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

Fターム(参考) 2H092 JB22 JB43 KA04 KA05 NA11  
NA22 PA06  
2H093 NB11 NB29 NC02 NC04 NC09  
NC62 NC90 ND33 ND36  
5C006 AC22 AF50 BB16 BC03 BC12  
BC20 EB05 FA37  
5C080 AA06 AA10 BB05 DD09 DD25  
JJ02 JJ04 JJ06  
5C094 AA02 AA44 BA03 BA43 CA19  
DB01 DB04 EA04 EA07 EB02